

1. 기업명: 엑시나 주식회사

2. 회사소개 : 당사는 차세대 데이터를 혁신할 CXL(컴퓨터 익스프레스 링크) 기반의 지능형 메모리 솔루션을 개발하는 팹리스 스타트업 기업입니다.

We provide intelligent memory solutions based on CXL, applicable to fields requiring large-scale data processing such as AI big data, vector databases, and DNA analytics.

With memory solutions equipped with in-house computation capabilities utilizing the CXL3.0 interface, we address 'Memory Wall' issue faced by hyperscale data centers and realize data-centric computing systems.

Our innovative architecture leads the way in computing technology for the AI era, delivering more efficient data processing and enhanced performance.

3. 모집 부문 :

- SW 개발: 4개 Position
- SoC 개발: 3개 Position
-

4. Open Position: SW개발 신입사원(전문연구요원) 공채, 4 positions

- Open Position 1 [PCIe/CXL Firmware 개발/검증]

PCIe 기반의 차세대 메모리 인터페이스 표준인 CXL 시스템을 제어하는 Firmware를 개발합니다. PCIe/CXL Configuration, Device Management, Cache Coherency Control, ATS, DMA 등의 기능을 개발하고 PCIe/CXL Compliance를 지원합니다.

- PCIe/CXL Core Firmware Development
- PCIe/CXL Configuration 및 Capability/Status 제어
- Device Management 기능 개발 (Device Control, Power State, Error Reporting, etc.)
- CXL Specific 기능 개발 (Memory Management, Cache Coherency, Address Translation, etc.)

- Open Position 2 [Embedded system BSP 개발/검증]

자사에서 설계한 SoC를 위한 Bootloader를 설계하고 Embedded Linux를 포팅합니다. SoC Hardware를 초기화하고 제어하기 위한 Device Driver를 개발합니다.

CXL Interface를 제어하고 NVMe SSD를 이용하여 메모리를 확장하는 등의 Emerging Technology에 대해 배우고 경험할 수 있습니다.

- EEPROM/SPI Flash를 사용한 Bootloader 개발 및 Hardware Bring-up
- ARM Cortex Core에 Embedded Linux 포팅
- 장치 초기화 및 제어 (DRAM/SPI/I2C/UART 등)
- 장치 보안(Secure Boot, Crypto, Authentication 등) 개발 및 검증

- **Open Position 3 [Parallel Processing Platform 및 API 개발/검증]**

당사의 CXL 기반 Near Memory Processing HW를 이용하여 Data Application을 개발하고 실행할 수 있는 SW Platform을 제공

GPU에서 CUDA Platform을 사용하는 것처럼, 실제 HW 동작의 복잡한 과정을 추상화해 주고, 응용 SW 개발자가 쉽게 사용할 수 있는 Distributed/Parallel Framework(e.g. Map-Reduce 등)을 제시

- Parallel Processing, Messaging 모델 및 라이브러리 개발과 검증
- Big Data / Large Scale Graph를 위한 병렬 처리 Framework
- Application Offloading을 위한 API 개발 및 Abstraction Layer 설계
- CXL 향 Memory Management, Memory Allocator 개발
- Host Kernel/Hypervisor에서 장치를 제어하는 Device Driver 개발

- **Open Position 4 [Database Analytics 개발/검증]**

CXL Computational Memory를 기반으로 Parquet/Arrow Columnar Data를 저장하고, Spark, Presto등의 Analytics Engine, 혹은 기존 DBMS의 Query Plan을 확장하고 가속하는 Parallel Execution Engine 개발

RAG를 위한 Vector DB 개발 및 가속. Vector Search, Keyword Search, Relational Filtering 등을 Ensemble하여 더 빠르게 정확한 데이터를 제공

- Spark/Presto등의 Data Analytics/Query Engine 분석과 XCENA 가속 엔진 통합
- Parallel Query Optimization, Execution Algorithm 개발
- Parquet, Arrow 등 Columnar Data Format 처리
- Vector Semantic Search를 위한 CXL Memory/Storage 구조 설계 및 ANN(Approximate

Nearest Neighbor) 가속 솔루션 개발

- 성능 평가 및 벤치마킹 등

● Requirements : SW 포지션 공통

- 전산/컴퓨터/전기전자공학 혹은 SW 관련 전공 MS/PHD
- C/C++/Rust/Java/등 관련 분야에 필요한 언어

5. Open Position: SoC개발 신입사원(전문연구요원) 공채, 3 positions

- Open Position 1 [SoC Design Engineer]

Overview

XCENA SoC 내의 주요 IP 들을 설계하고, 검증합니다. XCENA IP는 주로 AXI Bus 상에서 동작하도록 구현되어 있으며, AXI Bus의 각종 프로토콜 규격(AXI4, AXI4-Lite, APB 등)을 준수하고 있습니다. 이러한 IP 들을 설계한 후, physical implementation을 위해 FPGA 합성(Xilinx Vivado 활용)이나 DC를 통한 ASIC 합성을 진행합니다. 합성 과정에서 요구되는 PPA Spec 달성을 위해 디자인을 수정하고, 검증하고, 합성하는 단계를 반복하여 IP 설계를 완성합니다.

- XCENA SoC IP 설계
- DV 검증 환경을 활용하여, IP Level 검증
- Emulator or FPGA 합성 및 검증
- ASIC Process

- Open Position 2 [SoC Design Verification Engineer]

Overview

XCENA SoC 내의 주요 IP 들을 검증하고, PCIe or CXL과 같은 3rd Party IP, 그리고 SoC Top Level 검증을 수행합니다. 기본적인 Functional Verification 뿐만 아니라, Performance Verification과 같은 시스템 특성을 검증하기 위한 업무도 포함하고 있습니다. IP 설계 엔지니어와 소통하여, 조기에 Bug를 검출하고, 신속히 Clear하는 것이 중요한 업무 내용이므로 분석 능력 및 소통 능력이 요구됩니다.

- IP 검증을 위한 DV Platform 설계
- IP 검증을 위한 다양한 형태의 Agent 설계
- UVM을 활용한 IP 검증
- 상용 VIP(DDR, CXL, Bus)를 활용한 검증 환경 구성

- **Open Position 3 [ASIC Design Engineer]**

Overview

XCENA SoC의 ASIC Top을 integration하고, 검증합니다. XCENA의 주요 IP는 주로 AXI Bus 상에서 동작하도록 구현되어 있으며, 이러한 AXI Bus 상의 IP 들을 통합하여 ASIC Top 설계를 수행합니다. ASIC Top integration 후, physical implementation을 위해 DC or Fusion Compiler를 통한 ASIC 합성을 진행합니다. 그리고, 주요 Design House와 협업하여 ASIC Process를 진행하는 업무를 수행합니다.

- 다양한 Tool을 활용한 ASIC Implementation
- PPA 극대화를 위한 Bus Topology 및 Top Level 구조 설계
- XCENA SoC의 Performance, Power, Area 관련 분석 업무

● **Requirements : SoC 포지션 공통**

- 전산/컴퓨터/전기전자공학 혹은 SoC 관련 전공 MS/PHD
- Verilog and System Verilog RTL design skill
- C/C++ 등 HW 설계 및 검증에 필요한 언어

6. Guideline for Applicants

- **전형방법**

서류전형 → 1차 면접 → 2차 면접

- **제출서류**

.국문 or 영문 이력서 & 자기소개서

.이력서 파일 저장명 : [지원포지션] 성명

- **접수방법**

홈페이지 : <https://xcena.career.greetinghr.com/>

- **마감일 : 2025년 2월 28일**

- **채용담당자 이메일 : soori.park@xcena.com**